

热载流子诱生 MOSFET/SOI 界面陷阱的正向栅控二极管技术表征

何 进, 张 兴, 黄 如, 王阳元

(北京大学微电子学研究所, 北京 100871)

摘 要: 本文完成了热载流子诱生 MOSFET/SOI 界面陷阱正向栅控二极管技术表征的实验研究. 正向栅控二极管技术简单、准确, 可以直接测得热载流子诱生的平均界面陷阱密度, 从而表征器件的抗热载流子特性. 实验结果表明: 通过体接触方式测得的 MOSFET/SOI 栅控二极管 R-G 电流峰可以直接给出诱生的界面陷阱密度. 抽取出来的热载流子诱生界面陷阱密度与累积应力时间呈幂指数关系, 指数因子约为 0.787.

关键词: 热载流子应力效应; 界面陷阱; R-G 电流; 正向栅控二极管; MOSFET/SOI

中图分类号: TN **文献标识码:** A **文章编号:** 0372-2112 (2002) 02-0252-03

Hot Carrier-Induced Interface Traps in N-Channel MOSFET/SOI Characterized by a Forward Gated-Diode Technique

HE Jin, ZHANG Xing, HUANG Ru, WANG Yang yuan

(Institute of Microelectronics of Peking University, Beijing 100871, China)

Abstract: This paper describes the characterization of the hot carrier induced interface traps by a forward gated diode measurement in an N-channel MOSFET/SOI. The experimental results achieved by this method show that the R-G current peak can directly give stress induced average interface trap density so to characterize the device's hot carrier degradation behavior and evaluate the quality of SOI wafer. As expected, a power law of $\Delta N_t \sim t^{0.787}$ between the stress induced interface trap density and accumulated stressed time has been obtained.

Key words: hot carrier effect; interface traps; R-G current; gated diode; MOSFET/SOI

1 引言

在 MOS 器件中, 如何快速而准确地测量热载流子诱生界面陷阱是一项十分重要的工作, 因为这些界面陷阱的存在严重地影响了器件的稳定性和电路寿命. MOSFET/SOI 器件由于是三个界面的多层结构, 这个问题更为突出. 过去大都使用诸如 MOS 电容、亚阈电流、电荷泵等方法对界面陷阱进行研究^[1,2]. 然而, 当 MOSFET 器件的特征尺寸进一步减小到亚 0.1 μm 领域时, 由于严重的寄生效应、瞬态效应和低的敏感性, 这些传统方法将变得无法使用.

最近, 通过对产生复合 (R-G) 电流的测量, 正向栅控二极管结构被用于 SOI 器件的界面陷阱表征和体载流子复合寿命的提取, 得到了一些十分有意义的结果^[3~8]. 研究表明: 这种方法具有简单、灵敏度高、应用十分灵活和非破坏性的优点. 与传统反向栅控二极管模式相比, 正向栅控二极管使用栅面积较小, 对沟道长度没有特别的要求, 它的静态工作模式很容易被应用在标准半导体测试设备上.

在本文中, 我们从实验上验证了用正向栅控二极管技术

提取热载流子诱生 MOSFET/SOI 界面陷阱密度的可行性. 热载流子效应由加在栅和漏电极上的电压来产生, 而测量用的 MOSFET/SOI 栅控二极管结构由体接触实现. 通过扫描栅极电压, 在源/漏和体区之间形成的二极管正向电流出现一个尖锐的 R-G 电流峰, 它是由高电场产生的界面陷阱所贡献的. 因此, 我们可以通过该 R-G 电流峰直接确定应力导致的界面陷阱大小, 进而评价器件的抗热载流子特性.

2 测试结构和原理

图 1(a) 所示是 R-G 电流法用 SOI 横向栅控二极管的截面图. 通过扫描前栅电压, 界面上的界面陷阱要么被屏蔽, 要么被激活. 所以, 当界面区域大致处于耗尽时, 二极管电流 I_b 将呈现一个明显的 R-G 电流峰值, 峰值的高低直接反映了界面陷阱密度的大小.

在我们的实验中, 此方法在一个具有体接触的 NMOS/SOI 管上得以实现 (图 1(b)). 该栅控二极管由源/漏与体之间的 N^+P 结构构成. MOS 管制作在 SIMOX 基片上, 沟道长度和宽度

分别是 $100\mu\text{m}$ 和 $5\mu\text{m}$ 。栅氧化层 (t_{ox})、埋氧化层 (t_{BOX}) 以及硅膜厚度 (t_{Si}) 分别是 16nm 、 360nm 和 190nm 。

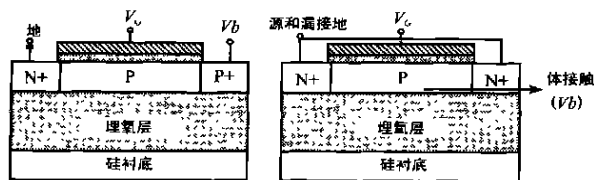


图 1 (a) 常规的横向 SOI 栅控二极管; (b) 由体接触实现的 NMOS/SOI 栅控二极管

实际测量中, 将源漏相连并接地, 同时在体接触上加小于 0.6V 的偏压。这样源漏和体区之间形成一个正向 $p-n$ 结。通过扫描栅电压, 我们可以得到正向 R_G 电流 I_b 。

图 2 为施加热载流子应力前得到的 MOSFET/SOI 横向栅控二极管电流。正向偏压分别为 0.1V 、 0.4V 、 0.45V 和 0.5V 四个不同值。从图中可以看到: 栅控二极管电流随栅压变化呈现明显的尖峰, 该尖峰的出现是因为器件原生界面陷阱贡献的 R_G 电流所致。根据 SRH 理论, 该尖峰 R_G 电流的大小应随二极管正向偏压的增加呈指数变化。实验结果也证实了 SRH 理论的预言。

我们知道: 在二极管正向导通情形下, 总电流不仅包括前 Si/SiO_2 界面陷阱所贡献的 R_G 电流, 还包括了扩散电流。为了使界面陷阱贡献的 R_G 电流峰在总电流中占主要成分, 在测量中必须给该二极管施加较小的正向偏压 ($< 0.6\text{V}$)。

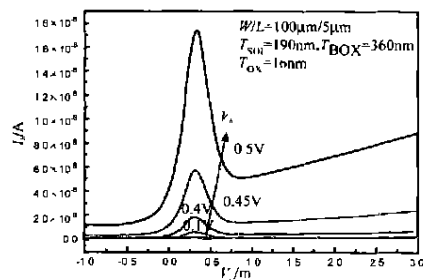


图 2 实验得到的 R_G 电流峰随漏体偏压 V_b 的变化

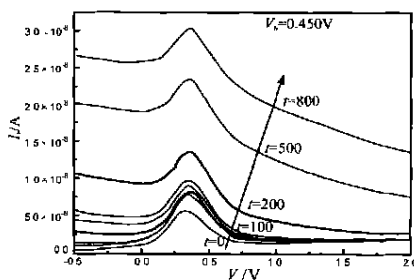


图 3 实验得到的 R_G 电流峰随累计热载流子应力时间的变化

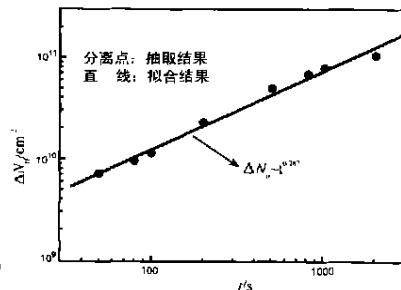


图 4 界面陷阱密度随累计应力时间的变化关系

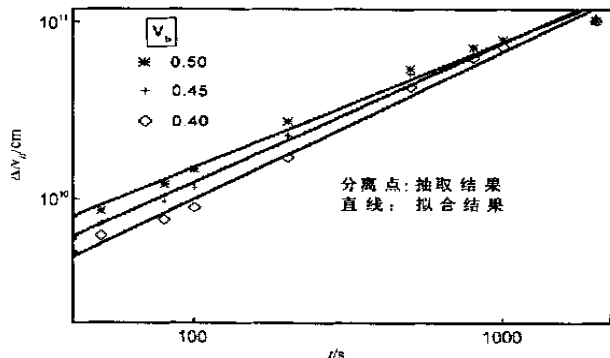


图 5

从图 4 中发现: 界面陷阱密度的增加与应力时间呈双对数关系, 这与早期得到的 MOSFET 实验结果^[2]是一致的。通过

3 热载流子应力实验和结果讨论

每次测量 R_G 电流之前, 在栅和漏端施加一定时间和大小的热载流子应力, 具体做法是分别在栅和漏端加 3V 和 25V 的偏压, 同时源和体接触接地。累计应力时间从 10 、 20 、 50 、 80 、 100 、 200 、 500 、 800 、 1000 直至 2000 秒。

图 3 为经过不同应力时间后, 固定正向偏压测量得到的二极管电流同栅电压的关系。可以看到: R_G 电流峰随应力时间明显上升。这是因为界面陷阱密度随着应力时间增加, 从而通过这些复合中心贡献的 R_G 电流也相应增加。应该指出的是: R_G 电流峰两端平坦处的电流值随应力时间也上升了, 但 R_G 电流峰对栅电压的分布随累计应力时间的增加是严重不对称的。这是由于施加漏端应力后引起界面陷阱在空间电荷区的非均匀分布造成的。

根据 SRH 理论, 因热载流子应力效应而增加的 R_G 电流峰和诱生的界面陷阱密度之间的关系可以用下式简单描述:

$$\Delta T_{\text{peak}} = \frac{1}{2} q n_i (c_n c_p)^{1/2} N_{it} A_G e^{(q V_b)/(2 k T)}$$

此处 n_i 是本征载流子浓度, N_{it} 是界面陷阱密度, A_G 是栅面积, V_b 是二极管上施加的小偏压, 同时可取 $c_n = c_p = 10^{-8} \text{ cm}^{-3} \text{ s}^{-1/4}$ 。

从图 3 中可以提取出对应于每一次应力后所增加的 R_G 电流峰值大小。然后, 利用式 (1) 很容易计算出相应的诱生界面陷阱密度 ΔN_{it} 。结果得到如图 4 所示的热载流子应力导致的诱生界面陷阱密度同累计应力时间的关系。

数值拟合的方法, 还可以得到由热载流子应力导致的诱生界面陷阱密度与应力时间的关系为 $\Delta N_{it} \sim t^n$, n 约等于 0.787 。对于给定的 SOI 基片, 可以针对其中的 MOS 管做类似的一系列测量, 由此计算出相应的 n 值。显然, n 越小, 说明器件的热载流子应力特性越好。

图 5 给出了在不同二极管正向偏压下由上面介绍的方法得到的界面陷阱密度随累计应力时间的变化关系。可以发现: 所有曲线在高的累计应力时间条件下几乎重合在一起, 虽然在低的累计应力时间时有较大的区别。我们认为: 低累计应力时间时诱生界面陷阱密度的较大区别来源于不同二极管正向偏压时引起的扩散电流所致。在正向栅控二极管技术的运用中, 为了在不同二极管正向偏压条件下得到准确、一致的诱生界面陷阱密度, 必须使用高的热载流子应力电压或高的累计

应力时间.

4 结论

我们在本文中完成了通过测量 MOSFET/SOI 正偏栅控二极管 R-G 电流来表征 SOI 器件抗热载流子应力特性的实验研究. 使用体接触方式实现了实验用 MOSFET/SOI 栅控二极管结构. 对一个实际的 N-MOSFET/SOI 器件实验, 获得了所期望的热载流子应力导致的界面陷阱密度和累计热载流子应力时间之间的幂指数关系: $\Delta N_{it} \sim t^{0.787}$.

致谢 感谢汪红梅博士提供试验样品, 同时感谢 Motorola 公司张耀辉博士、Mark Foisy 先生与我们进行的有益的讨论和帮助. 本研究项目还得到 Motorola 公司 CPTL 部的支持(合同号: MSPDDLCHINA-0004).

参考文献:

- [1] A Pacelli, A L Lacaita, S Villa. Reliable extraction of MOS interface traps from low frequency CV measurements [J]. IEEE. Electron Device Letters, 1998, EDL-19: 148-150.
- [2] C H Ling, S E Tan, D S Ang. A study of hot carrier degradation on NMOSFET's by gate capacitance and charge pumping current [J]. IEEE. Trans. on Electron Devices, 1995, ED-42: 1321-1328.
- [3] Xue Jun Zhao, D E Ioannou. A sensitive tool for characterizing the buried Si-SiO₂ interface [A]. Proceeding of 1999 IEEE International SOI Conference [C], Oct., 1999: 52-53.
- [4] He Jin, Huang Ru, Zhang Xing, Wang Yuanyuan. Numerical analysis on characterized interface R-G current of the SOI gated diode [J]. Chinese Journal of Semiconductors, 2000, 21: 1146-1151.
- [5] Jin He, Xing Zhang, Ru Huang, Aihua Huang, Yangyuan Wang. A novel experimental technique: combined gated diode method for extracting the lateral distribution of interface states in MOSFET/SOI [J]. Solid State Electronics, 2001, 45(7): 1107-1113.

- [6] He Jin, Huang Ru, Zhang Xing, Huang Aihua, Wang Yuanyuan. Gated diode R-G current: a sensitive tool for characterizing the bulk traps of SOI devices [J]. Chinese Journal of electronics, 2001, 10: 3231-3325.
- [7] He Jin, Zhang Xing, Huang Ru, Huang Ai Hua, Wang Yuanyuan. Forward gated diode R-G current method for characterizing the lateral lightly doping region of the NMOSFET/SOI [J]. Chinese Journal of Electronics, 2002, 11(1).
- [8] Jin He, Xing Zhang, Ru Huang, Aihua Huang, Yangyuan Wang. Application of Forward Gated Diode R-G Current Method in Extracting F-N Stress Induced Interface Traps in SOI NMOSFETs [J]. Microelectronics Reliability, accepted for publication.

作者简介:



何进男. 1966年5月出生于四川省. 博士, 副教授. 1988年本科毕业于天津大学电子工程系. 1993年硕士毕业于电子科技大学信息工程学院. 1999年在电子科技大学微电子所获得博士学位. 现在北京大学微电子所工作, 主要研究领域为新型 MOS 功率器件、深亚微米 MOS 器件新结构及半导体表面新的表征技术等. 作为第一作者, 已在国际权威期刊上发表研究论文 20 多篇, 在国内重要期刊上发表研究论文近 40 篇.



张兴男. 博士, 教授. 1986年本科毕业于南京大学. 1989年硕士毕业于 771 所. 1993年在 771 所获得博士学位. 现在北京大学微电子所工作, 主要研究领域为深亚微米 MOS 器件新结构及 ASIC 技术等.